

一种软件化雷达定时器设计方法

柯小路,杨东华,王继生,李 洋

(南京电子技术研究所, 南京 210039)

摘要:以现场可编程门阵列为平台,提出一种通用定时设计架构,即软件化定时设计方法。它将定时程序划分为软件程序和硬件逻辑两部分,其中硬件逻辑采用定时产生子模块与合成模块实现通用化架构,软件程序为每个子定时配置位置与合成参数,从而实现复杂定时时序的产生。该方法可灵活、快捷调整定时时序,有效提升定时设计与调试效率。

关键词:定时器;软件定义;现场可编程门阵列;Verilog HDL

中图分类号: TN958 **文献标志码:** A **文章编号:** 1004-7859(2020)03-0045-04

引用格式:柯小路,杨东华,王继生,等.一种软件化雷达定时器设计方法[J].现代雷达,2020,42(3):45-48.

KE Xiaolu, YANG Donghua, WANG Jisheng, et al. A software defined design approach for radar timer[J]. Modern Radar, 2020, 42(3): 45-48.

A Software Defined Design Approach for Radar Timer

KE Xiaolu, YANG Donghua, WANG Jisheng, LI Yang

(Nanjing Research Institute of Electronics Technology, Nanjing 210039, China)

Abstract: Based on field programmable gate array (FPGA), a general framework named software defined timer design approach is proposed. It partitions the timer program into two separate parts, of which the hardware logic is designed to be a general structure consist of sub-timer module and combiner module, and the software program provides count and combination parameters for each sub-timer. The proposed timer design approach is flexible and easy to modify the timing, thus it can significantly improve the efficiency of system design and integration process.

Key words: timer; software defined; field programmable gate array (FPGA); Verilog HDL

0 引言

雷达是由诸多具有不同功能的分立模块组成的一个复杂系统,不同模块之间必须按照一定的时序协调工作。定时控制器是雷达系统的重要组成部分,为雷达全机提供所需的各种控制时序信号和控制命令。当前雷达的工作方式日趋多样,定时时序关系愈发复杂,越来越多的雷达系统采用独立的定时控制器来实现对整个雷达各分系统的同步时序控制。同时,对定时器的小型化、通用性、多功能性的要求越来越迫切,而基于现场可编程门阵列(FPGA)的多功能定时控制器则能较好地满足这些需求^[1-2]。

定时器作为雷达信号处理机的一个重要组成部分,其基本原理已经比较成熟,近年来的研究主要集中在实际实现方面^[3-6]。从目前文献成果中看,雷达定时器已从单一或有限固定时序向参数化定时转变^[7-9]。参数化定时可方便地调整定时时序,但从一部雷达移植到另一部雷达,软硬件程序均需变更。作

为软件化雷达^[10]的一部分,本文在参数化定时基础上进一步提出软件化定时,将硬件程序通用化,从而实现通过软件定义定时时序。

1 定时器原理

1.1 定时产生基本原理

定时信号可分为两类分别产生:帧(脉组)同步定时、脉冲同步定时。帧同步定时每帧产生一个,包括帧起始、帧结束以及部分触发信号。脉冲同步定时则在每个脉冲重复周期(PRT)内产生,包括发射、接收相关定时,同一帧的不同 PRT 内相对时序关系不变。

定时产生的原理框图如图 1 所示。时序产生在超大规模 FPGA 中完成,同步周期计数器自帧起始时刻开始计数,其他所有定时信号以此为基准,计算与其相对位置计数值,当同步计数器计数到某个定时计数值时,产生一个脉冲定时信号。帧定时参数每帧内更新一次,而一帧内可能含多个脉冲,需在每个脉冲结束前对脉冲定时参数进行更新。所有定时信号基于同一个计数器产生,确保了各信号之间的抖动最小。

通信作者:柯小路 Email:kxlu@foxmail.com
收稿日期:2019-11-10 修订日期:2020-01-12

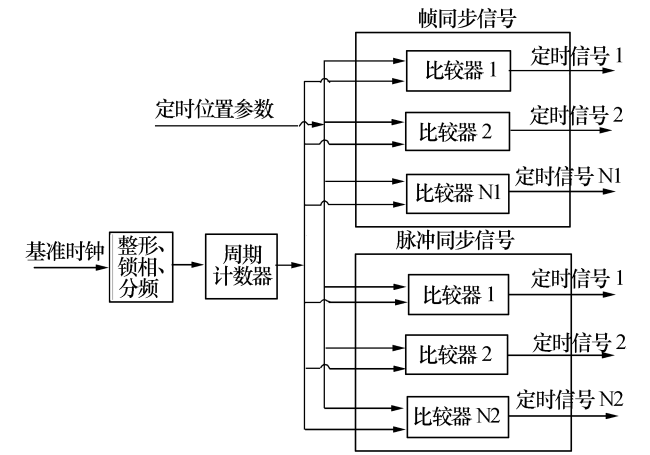


图1 定时产生原理框图

1.2 定时种类

定时信号在帧同步、脉冲同步两类的基础上,按照与同步基准的相对关系,进一步可以细分为导前、滞后两小类。例如,图2中发射触发第一个脉冲为导前信号,而接收触发为滞后信号。这二者在产生方式上也有所差异,需采用不同的参考基准来计算同步计数器的计数值。

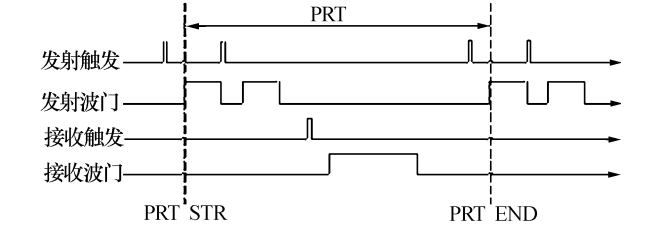


图2 几种定时信号示意图

从图2中可以看到,一个重复周期内有两个发射子脉冲,产生此类定时有两种方法:一是脉冲内多次参数更新,每个子脉冲结束后更新一次定时位置计数值;二是将多个子脉冲视为独立定时分别产生,再进行合成。前一种方法较节省资源,而后一种方法更利于程序的模块化统一设计,便于程序拓展。

2 软件化定时设计

软件化定时的目标是通过将定时产生划分为软件程序和硬件逻辑两部分,其中,硬件逻辑实现通用定时产生模块,可根据输入参数灵活产生各类型子定时并进行合成输出;而软件程序则根据具体定时的时序需求,产生与之相应的定时参数,从而实现一类雷达定时时序的快速设计实现。

软件化定时产生框图如图3所示。定时参数产生在VxWorks系统中完成,根据不同雷达产品所需产生的定时时序关系,按照约定格式生成定时参数,通过内部的处理器局部总线传输至FPGA定时产生模块。定时产生模块基于Verilog HDL语言设计实现,包括定时参

数处理模块、通用子定时产生模块和定时合成模块等。

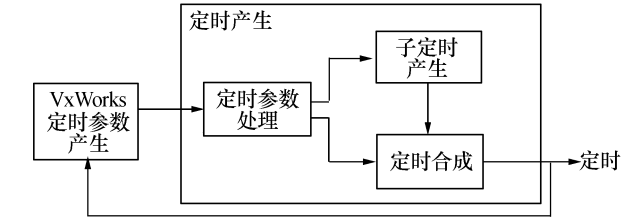


图3 软件化定时产生框图

2.1 定时参数产生

定时参数产生在VxWorks系统中完成,基于C语言实现,这使得定时参数可以根据雷达的具体时序需求快速进行调整。

如图3所示,当VxWorks系统接收到定时中断信号后,开始进行定时参数的计算更新,具体包括以下五个部分:

- (1)定时模式:参差、动目标检测、脉冲多普勒等。
- (2)脉冲个数:当前帧内包含的脉冲个数。
- (3)脉冲重复周期:重复周期参数的个数取非等周期定时模式下脉冲数最大值,等周期模式只填第一个,非等周期逐个填写。
- (4)子定时数量参数:每个定时信号包含的子定时个数,取各定时模式下的最大值。
- (5)子定时产生参数:每个子定时的类型、起始位置、结束位置。

2.2 定时参数处理

定时参数处理模块根据约定的参数表将接收自VxWorks的定时参数分段解析,将子定时的位置参数存入寄存器组tim_param,子定时数量参数存入寄存器组tim_num;脉冲个数、重复周期等参数存入相应寄存器,并计算定时公共参数,如帧起始、帧结束、脉冲周期起始、脉冲周期结束等,作为子定时产生模块的输入参数。

2.3 子定时产生

子定时产生模块采用通用化设计,根据输入的定时类型分别采用不同的参数计算与比较方法,可产生帧导前、帧滞后、脉冲导前、脉冲滞后等各类定时信号。

定时产生模块中通过生成块重复例化M个子定时产生模块,从而产生M个子定时信号:

```
generate
    genvar num1;
    for (num1 = 0; num1 < M; num1 = num1+1)
    begin: subtimer_generate
        subtimer_geninst_subtimer_gen (
            .i_clk(i_clk),
            .i_rstn(rstn),
            .i_cnt(count), //帧周期计数器
```

```

.i_frame_cnt(frame_cnt), //帧周期
.i_prt_str(prt_str), //PRT 起始
.i_prt_end(prt_end), //PRT 结束
.i_tim_str(tim_param[num1<<1]),
    //子定时 num1 起始参数
.i_tim_end(tim_param[(num1<<1)+1]),
    //子定时 num1 结束参数
.o_tim( tim[num1] ) //子定时 num1 输出
);
end
endgenerate

```

子定时产生模块的输入参数包含两部分:一是公共参数,如帧周期、脉冲周期起始、脉冲周期结束等,这些参数对于所有子定时模块都是共用的,作为定时基准;二是位置参数,表征子定时的具体特征,其中最高两位作为定时类型标识,其余位作为计数值。

2.4 定时合成

定时合成模块从输入的 16 个子定时中提取指定数量的子定时信号并合成为一个定时信号输出。

定时产生模块通过生成块重复例化 N 个定时合成子模块,从而得到最终的 N 个定时输出信号:

```

generate
genvar num2;
for (num2 = 0; num2 < N; num2 = num2+1)
begin: subtimer_combine
subtimer_combinst_subtimer_comb (
.i_clk(i_clk),
.i_rstn(rstn),
.i_tim( (tim>>tim_num_str[num2]) & 0xffff ),
    //子定时输入,最多 16 个
.i_tim_num( tim_num[num2]), //子定时个数
.o_tim( timer[num2] ) //合成定时
);
end
endgenerate

```

其中, $\text{tim_num_str}[i]$ 为第 i 个定时的起始子脉冲计数, $\text{tim_num_str}[i] = \sum_{j=0}^{i-1} \text{tim_num}[j]$ 。

3 测试验证

定时器主芯片 FPGA 采用 Virtex-5 FXT 系列,根据某雷达功能需求,定时信号数量设置为 32 个,根据芯片资源评估结果,设置子定时数量为 90 个。据此可通过软件对 90 个子定时波形及组合情况进行配置,从而产生一系列复杂的定时时序关系。

下面以两种场景为例,说明定时参数配置情况。

第一种情况是常规模式,每个重复周期内只含一个发射脉冲,此时对前 32 个子定时赋予定时位置参

数,剩余的子定时起始值置为 0xffff,结束值置为 0,从而不产生脉冲信号,定时子脉冲个数均设为 1,通过 Chipscope 采集定时时序,如图 4 所示,图中两条竖线之间为一个重复周期。

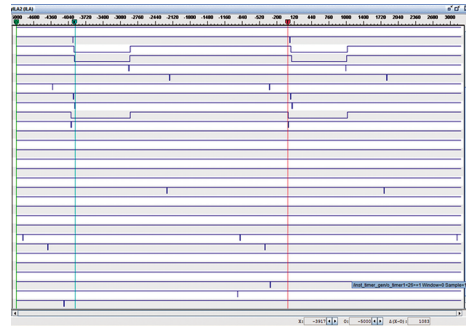


图4 重复周期内单个脉冲定时时序

第二种情况是掩护模式,每个重复周期内最多含 3 个发射脉冲,此时定时信号 2、5、8、11 均最多有 3 个子定时,故共需 40 个子定时,对前 40 个子定时赋予定时位置参数,剩余的子定时起始值置为 0xffff,结束值置为 0,从而不产生脉冲信号,定时 2、5、8、11 子定时个数置为 3,其余子定时个数置为 1,通过 Chipscope 采集定时时序,如图 5 所示。

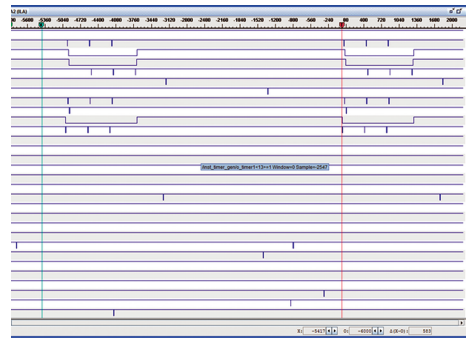


图5 重复周期内 3 个子脉冲定时时序

从以上两个场景测试结果可知,软件化定时设计能够采用统一的硬件逻辑,而根据软件部分调整输入定时参数,从而产生不同的定时时序。

4 结束语

本文介绍了一种以 FPGA 为硬件平台的软件化定时设计方法。该定时器对硬件逻辑采用通用化设计,以通用子定时模块为最小逻辑单元,具体时序可灵活受参数控制,使得在维持硬件逻辑不变的基础上,可通过软件配置定时参数实现预期的定时时序,从而提高程序的通用性,可有效提升系统设计、联试效率。

参考文献

- [1] 车 俐, 蒋留兵, 钱志强. FPGA 在雷达定时器中的应用[J]. 电子工程师, 2005, 31(8): 7-9.
CHE Li, JIANG Liubing, QIAN Zhiqiang. The application of FPGA in radar timer[J]. Electronic Engineer, 2005, 31

(8): 7-9.

[2] 李 邦. 基于 FPGA 的雷达定时控制和预处理模块设计 [D]. 西安: 西安电子科技大学, 2018.

LI Bang. The design of radar timing control and preprocessing module based on FPGA[D]. Xi'an: Xidian University, 2018.

[3] 高俊峰, 李早社, 吕 磊, 等. 合成孔径雷达定时器的 FPGA 实现[J]. 现代雷达, 2006, 28(11): 33-35.

GAO Junfeng, LI Zaoshe, LÜ Lei, et al. FPGA implementation of timer for synthetic aperture radar[J]. Modern Radar, 2006, 28(11): 33-35.

[4] YOUNG J R, NARAYANAN R M, JENKINS D M. Modified transmitted reference technique for multi-resolution radar timing and synchronization[C]// Radar Sensor Technology XXIII. Baltimore, Maryland: Society of Photo-optical Instrumentation Engineers, 2019: 1-6.

[5] 褚兆文. 基于 FPGA 的雷达时序控制器设计与实现[D]. 成都: 电子科技大学, 2007.

CHU Zhaowen. Design and realization of radar timing control based on FPGA[D]. Chengdu: University of Electronic Science and Technology of China, 2007.

[6] 彭 凯. 基于 Nios 软核的多功能定时控制的设计与实现[D]. 西安: 西安电子科技大学, 2012.

PENG Kai. Design and realization of multi-function timing control based on nois II soft-core[D]. Xi'an: Xidian University, 2012.

[7] 潘静雅. 某分布式雷达定时控制电路的设计与实现 [D]. 西安: 西安电子科技大学, 2014.

(上接第 44 页)

[4] HAYKIN S. Cognitive radar: a way of the future[J]. IEEE Signal Processing Magazine, 2006, 23(1): 30-40.

[5] LOURIDAS P, EBERT C. Machine learning[J]. IEEE Software, 2016, 33(5): 110-115.

[6] ZHOU Zhihua. Machine learning[M]. Beijing: Tsinghua University Press, 2016: 380-381.

[7] WIERING M A, HASSELT H V. Ensemble algorithms in reinforcement learning[J]. IEEE Transactions on Systems, Man, and Cybernetics. Part B, 2008, 38(4): 930-936.

[8] YANG Z, MERRICK K, JIN L, et al. Hierarchical deep reinforcement learning for continuous action control [J]. IEEE Transactions on Neural Networks and Learning Systems, 2018: 1-11.

[9] 李云杰, 朱云鹏, 高梅国. 基于 Q-学习算法的认知雷达对抗过程设计[J]. 北京理工大学学报, 2015, 35(11): 1194-1199.

LI Yunjie, ZHU Yunpeng, GAO Meiguo. Design of cognitive radar jamming based on Q-learning algorithm [J]. Transactions of Beijing Institute of Technology, 2015, 35

PAN Jingya. Design and implementation of timing control circuit for XXX distributed radar[D]. Xi'an: Xidian University, 2014.

[8] 徐绍剑, 张 平, 孙吉利. 基于有限状态机的通用雷达定时器设计[J]. 电子器件, 2007, 30(5): 1634-1637.

XU Shaojian, ZHANG Ping, SUN Jili. Design of general radar timer based on FSM[J]. Chinese Journal of Electron Devices, 2007, 30(5): 1634-1637.

[9] 周 倩. VTS 雷达自适应定时模块设计[J]. 火控雷达技术, 2016, 45(1): 23-26.

ZHOU Qian. Design of an adaptive timing module of VTS radar [J]. Fire Control Radar Technology, 2016, 45(1): 23-26.

[10] 张荣涛, 杨润亭, 王兴家, 等. 软件化雷达系统技术综述[J]. 现代雷达, 2016, 38(10): 1-3.

ZHANG Rongtao, YANG Runtong, WANG Xingjia, et al. System Technology of Software Defined Radar[J]. Modern Radar, 2016, 38(10): 1-3.

柯小路 男,1990 年生,博士,工程师。研究方向为雷达控制与显示。

杨东华 男,1980 年生,硕士,高级工程师。研究方向为雷达控制与显示。

王继生 男,1992 年生,硕士,工程师。研究方向为雷达控制与显示。

李 洋 男,1992 年生,硕士,工程师。研究方向为雷达控制与显示。

(11): 1194-1199.

[10] 邢 强, 贾 鑫, 朱卫纲. 基于 Q-学习的智能雷达对抗 [J]. 系统工程与电子技术, 2018, 40(5): 1031-1035.

XING Qiang, JIA Xin, ZHU Weigang. Intelligent radar countermeasure based on Q-learning[J]. Systems Engineering and Electronics Technology, 2018, 40(5): 1031-1035.

[11] KONAR A, CHAKRABORTY I G, SINGH S J, et al. A deterministic improved Q-learning for path planning of a mobile robot [J]. IEEE Transactions on Systems, Man, and Cybernetics: Systems, 2013, 43(5): 1141-1153.

[12] WANG Y H, LI T H S, LIN C J. Backward Q-learning: the combination of sarsa algorithm and Q-learning[J]. Engineering Applications of Artificial Intelligence, 2013, 26 (9): 2184-2193.

汪 浩 男,1993 年生,硕士研究生。研究方向为雷达信号处理。

王 峰 男,1976 年生,博士,教授。研究方向为雷达信号处理和人工智能数据处理。